

2/Priority
Paper

PATENT

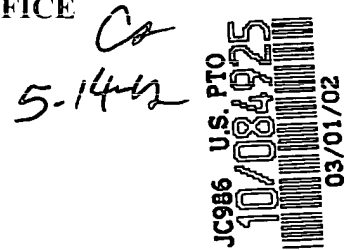
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Takashi NIKAMI**

Serial No.: **Not Yet Assigned**

Filed: **March 1, 2002**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 1, 2002

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-275538, filed on September 11, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

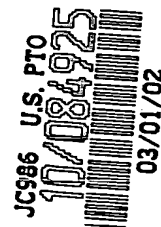
Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP

Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 020277
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/yap

DK: 020277

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月11日

出 願 番 号

Application Number:

特願2001-275538

[ST.10/C]:

[JP2001-275538]

出 願 人

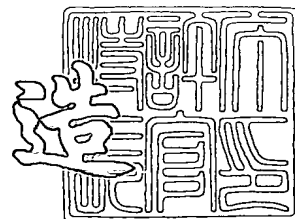
Applicant(s):

富士通株式会社

2002年 1月29日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3002248

【書類名】 特許願

【整理番号】 0140107

【提出日】 平成13年 9月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/335

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 仁神 崇

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体により形成されるソース領域と、
前記ソース領域と同じ導電型の半導体により形成されるドレイン領域と、
前記ソース領域及び前記ドレイン領域の間に半導体で形成されるチャネル領域と、

前記チャネル領域上に設けられるゲート絶縁膜と、
前記ゲート絶縁膜上に設けられ、P型半導体領域及びN型半導体領域を含むPN接合部が形成されたゲート電極とを有し、

前記ゲート電極のPN接合部のP型半導体領域とN型半導体領域とが電氣的に絶縁されている半導体装置。

【請求項 2】 前記ゲート電極のPN接合部の上にシリサイドが形成されていない請求項 1 記載の半導体装置。

【請求項 3】 前記ゲート電極のPN接合部は絶縁体で覆われている請求項 1 記載の半導体装置。

【請求項 4】 前記絶縁体で覆われた領域以外の前記ゲート電極の上にシリサイドが形成されている請求項 3 記載の半導体装置。

【請求項 5】 前記ゲート電極は、前記チャネル領域の上方に設けられる第 1 のゲート部及び前記チャネル領域でない領域の上方に設けられる第 2 のゲート部を含み、該第 2 のゲート部は前記PN接合部を含む請求項 1 記載の半導体装置。

【請求項 6】 さらに、前記チャネル領域の下に半導体により形成されるボディ領域と、

前記ボディ領域、前記ソース領域及び前記ドレイン領域の下に設けられる埋め込み絶縁膜と、

前記埋め込み絶縁膜の下に設けられる半導体基板領域とを有する請求項 5 記載の半導体装置。

【請求項 7】 前記ソース領域及び前記ドレイン領域の表面にシリサイドが

形成されている請求項 1 記載の半導体装置。

【請求項 8】 さらに、前記ボディ領域内に形成され、前記ボディ領域よりも不純物濃度が高いボディコンタクト領域を有する請求項 6 記載の半導体装置。

【請求項 9】 前記ボディコンタクト領域は、前記第 2 のゲート電極よりも外側の領域に形成されている請求項 8 記載の半導体装置。

【請求項 10】 (a) シリコン領域を含む半導体基板を準備するステップと、

(b) 前記半導体基板上にゲート絶縁膜を形成するステップと、

(c) 前記ゲート絶縁膜上にゲート電極を形成するステップと、

(d) 前記ゲート電極上に第 1 の絶縁膜を形成するステップと、

(e) 前記第 1 の絶縁膜をマスクとしてイオン注入を行うことにより前記半導体基板上にソース領域及びドレイン領域を形成するステップと、

(f) 前記ゲート電極上の前記第 1 の絶縁膜を残したまま前記半導体基板の表面に金属層を形成することにより、前記ソース領域及び前記金属層の界面並びに前記ドレイン領域及び前記金属層の界面にシリサイドを形成し、前記ゲート電極の表面にシリサイドを形成させないステップと、

(g) 前記シリサイドを残して前記金属層を除去するステップとを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に MOS (metal oxide semiconductor) トランジスタを含む半導体装置及びその製造方法に関する。

【0002】

【従来技術】

図 6 (A) ~ (C) は、従来技術による MOS トランジスタの製造方法を示す。

図 6 (A) に示すように、シリコン領域 601 に所定パターンのシリコン酸化膜 607 が形成される。ソース領域 602 及びドレイン領域 603 は、シリコン

領域 6 0 1 の表面に形成される。ゲート酸化膜 6 0 4 は、ソース領域 6 0 2 及びドレイン領域 6 0 3 間のチャネル領域上に形成される。ゲート酸化膜 6 0 4 上には、ゲート電極 6 0 5 及びサイドウォール（シリコン酸化物） 6 0 6 が形成される。

【 0 0 0 3 】

次に、図 6 (B) に示すように、チタン層 6 1 1 を基板上に形成する。その後、所定のアニールを行うことにより、ソース領域 6 0 2 とチタン層 6 1 1 の界面、ゲート電極 6 0 5 とチタン層 6 1 1 の界面、及びドレイン領域 6 0 3 とチタン層 6 1 1 の界面に、それぞれシリサイド ($TiSi_2$) が形成される。

【 0 0 0 4 】

次に、チタン層 6 1 1 のエッチングを行う。図 6 (C) に示すように、チタン層 6 1 1 が除去され、各界面のシリサイド 6 3 1、6 3 2 及び 6 3 3 が残る。

【 0 0 0 5 】

【発明が解決しようとする課題】

MOS トランジスタを SOI (silicon on insulator) 基板上に形成することにより、MOS トランジスタの動作を高速化することができる。しかし、ゲート電極上にシリサイドを形成すると、MOS トランジスタの動作速度が遅くなることがある。

本発明の目的は、MOS トランジスタの動作をより高速化することである。

【 0 0 0 6 】

【課題を解決するための手段】

本発明の一観点によれば、半導体により形成されるソース領域と、ソース領域と同じ導電型の半導体により形成されるドレイン領域と、ソース領域及びドレイン領域の間に半導体で形成されるチャネル領域と、チャネル領域上に設けられるゲート絶縁膜と、ゲート絶縁膜上に設けられ、P 型半導体領域及び N 型半導体領域を含む PN 接合部が形成されたゲート電極とを有する半導体装置が提供される。この際、ゲート電極の PN 接合部の P 型半導体領域と N 型半導体領域とが電氣的に絶縁されている。

【 0 0 0 7 】

ゲート電極のPN接合部のP型半導体領域とN型半導体領域とを電氣的に絶縁することにより、ゲート電極とチャネル領域との間の容量が小さくなる。MOSトランジスタは、ソース領域、ドレイン領域及びゲート電極を含む。上記の容量を小さくすることにより、CR時定数が小さくなり、MOSトランジスタの速度を高速化することができる。

【 0 0 0 8 】

【発明の実施の形態】

図1は、本発明の実施形態による半導体装置の平面図である。図2に、図1のI I - I I 線に沿った断面図を示し、図3に、図1のI I I - I I I 線に沿った断面図を示す。この半導体装置は、SOI基板にMOSトランジスタを形成したものである。

【 0 0 0 9 】

図1において、ソース領域101及びドレイン領域102の間に、第1のゲート電極（ゲートポリ）103が形成される。第2のゲート電極（セパレータポリ）104は、第1のゲート電極103の両外側に形成される。第1のゲート電極103及び第2のゲート電極104は、接続されている。第1及び第2のゲート電極103、104は、一体化されていることが好ましい。ボディコンタクト領域105は、それぞれ第2のゲート電極104の外側に形成される。

【 0 0 1 0 】

MOSトランジスタがNチャネルMOSトランジスタの場合を例に説明する。第2のゲート電極104は、N型半導体領域104a及びP型半導体領域104bを有し、その間にはPN接合部106が形成される。その製造方法を説明する。領域111及び113をマスクして、領域112にN型不純物をイオン注入することにより、ソース領域101、ドレイン領域102、第1のゲート電極103及び第2のゲート電極104aを、N型半導体領域にすることができる。次に、領域112をマスクして、領域111及び113にP型不純物をイオン注入することにより、ボディコンタクト領域105及び第2のゲート電極104bを、P型半導体領域にすることができる。

【 0 0 1 1 】

図2において、SOI基板は、シリコンの基板領域205上に埋め込み絶縁膜（シリコン酸化膜）204が形成され、その上にシリコン層206が形成される。シリコン層206には、N型のソース領域101、P型のボディ領域203、チャンネル領域202及びN型のドレイン領域102が形成される。チャンネル領域202は、シリコン層206の表面においてソース領域101及びドレイン領域102の間に設けられ、ボディ領域203の上に接続して形成される。ゲート酸化膜（シリコン酸化膜）201は、チャンネル領域202の上に形成される。ゲート電極（ポリシリコン）103は、ゲート酸化膜201の上に形成される。

【0012】

図3において、P型のボディ領域（シリコン）203の表面に、よりP型不純物濃度が高いボディコンタクト領域105が形成される。チャンネル領域202は、図2に示すように、ソース領域101及びドレイン領域102間に設けられている。第1のゲート電極（ポリシリコン）103は、チャンネル領域202の上にゲート酸化膜201を介して形成される。第2のゲート電極（ポリシリコン）104a、104bは、チャンネル領域がないボディ領域203の上にゲート酸化膜201を介して形成される。

【0013】

ボディ領域203は、P型半導体である。図1で説明したように、領域111及び113をマスクしてイオン注入することにより第1のゲート電極103及び第2のゲート電極104aがN型半導体になり、領域112をマスクしてイオン注入することにより第2のゲート電極104b及びボディコンタクト領域105がP型半導体になる。ボディコンタクト領域105は、ボディ領域203よりP型不純物濃度が高い。ボディコンタクト領域105に所定の電位を供給することにより、ボディ領域203の電位を固定することができる。

【0014】

N型の第2の電極104a及びP型の第2の電極104bの間にPN接合部106が形成される。本実施形態では、第2のゲート電極のPN接合部106のP型領域とN型領域とが第2のゲート電極上に形成された絶縁膜301で電氣的に絶縁されていることが特徴である。

【 0 0 1 5 】

図 6 (A) ~ (C) に示す従来の方法により MOS トランジスタを形成すると、図 6 (C) に示すようにゲート電極 6 0 5 上にシリサイド 6 3 2 が形成される。すなわち、図 4 に示すように、第 1 のゲート電極 1 0 3 及び第 2 のゲート電極 1 0 4 a, 1 0 4 b の上にシリサイド ($TiSi_2$) 4 0 1 が形成される。これにより、第 2 のゲート電極の PN 接合部 1 0 6 は導電性のシリサイド 4 0 1 で覆われる。

【 0 0 1 6 】

ゲート端子 3 1 1 は、第 1 のゲート電極 1 0 3 又は第 2 のゲート電極 1 0 4 a, 1 0 4 b にゲート電圧を供給するための端子である。ボディ端子 3 1 2 は、ボディコンタクト領域 1 0 5 を介してボディ領域 2 0 3 にボディ電圧を供給するための端子である。ゲート端子 3 1 1 とボディ端子 3 1 2 の間の電氣的等価回路を説明する。ゲート端子 3 1 1 とボディ端子 3 1 2 との間には、容量 C 1 及び容量 C 2 が並列に接続される。容量 C 1 は、P 型の第 2 の電極 1 0 4 b とボディ領域 2 0 3 との間の容量である。容量 C 2 は、N 型の第 2 の電極 1 0 4 a とボディ領域 2 0 3 との間の容量である。ゲート端子 3 1 1 及びボディ端子 3 1 2 間の容量 C 0 は、次式 (1) で表すことができる。

【 0 0 1 7 】

$$C 0 = C 1 + C 2 \quad \cdots (1)$$

【 0 0 1 8 】

この容量 C 0 が小さいほど、CR 時定数が小さくなり、MOS トランジスタの速度を高速化することができる。SOI 基板を用いると、本来、寄生デバイスの形成を防止することができるため、MOS トランジスタの速度を高速化することができる。本実施形態では、容量 C 0 を小さくすることにより、ゲート電極に発生する寄生容量を低減して MOS トランジスタの速度をさらに向上させる。

【 0 0 1 9 】

本実施形態では、図 3 に示すように、第 2 のゲート電極の PN 接合部 1 0 6 の P 型領域と N 型領域を第 2 のゲート電極上に形成された絶縁膜 3 0 1 で電氣的に絶縁する。膜 3 0 2 は、絶縁膜でもシリサイド膜 (導電膜) でもよい。ただし、

ゲート電極のゲート配線に対する接続抵抗を低減するために、膜 3 0 2 はシリサイド膜であることが好ましい。第 1 のゲート電極 1 0 3 及び第 2 のゲート電極 1 0 4 a は、共に N 型であり、相互に接続されているので、電氣的にも物理的にも一体化されている。

【 0 0 2 0 】

ゲート端子 3 1 1 は、第 1 のゲート電極 1 0 3 又は第 2 のゲート電極 1 0 4 a にゲート電圧を供給するための端子である。ボディ端子 3 1 2 は、ボディコンタクト領域 1 0 5 を介してボディ領域 2 0 3 にボディ電圧を供給するための端子である。

【 0 0 2 1 】

ゲート端子 3 1 1 とボディ端子 3 1 2 の間の電氣的等価回路を説明する。第 2 のゲート電極 1 0 4 a とボディ領域 2 0 3 の間には容量 C 2 が存在する。また、N 型の第 2 のゲート電極 1 0 4 a と P 型の第 2 のゲート電極 1 0 4 b の間には容量 C 3 が存在する。また、第 2 のゲート電極 1 0 4 b とボディ領域 2 0 3 の間には容量 C 1 が存在する。すなわち、ゲート端子 3 1 1 とボディ端子 3 1 2 の間には、容量 C 3 及び容量 C 1 が直列に接続され、その直列接続と並列に容量 C 2 が接続される。ゲート端子 3 1 1 及びボディ領域 3 1 2 間の容量 C 0 は、次式 (2) で表すことができる。

【 0 0 2 2 】

$$C 0 = \{ C 1 \times C 3 / (C 1 + C 3) \} + C 2 \quad \cdots (2)$$

【 0 0 2 3 】

式 (2) の容量 C 0 と式 (1) の容量 C 0 とを比較する。式 (2) において、容量 C 1 は 0 より大きいので、 $C 3 / (C 1 + C 3)$ は必ず 1 より小さくなる。これにより、式 (2) の容量 C 0 は、 $C 1 + C 2$ より小さくなる。すなわち、式 (2) の容量 C 0 は、式 (1) の容量 C 0 より小さくなる。

【 0 0 2 4 】

図 3 の本実施形態では、図 4 の場合に比べ、容量 C 0 を小さくすることができる。容量 C 0 を小さくすることにより、CR 時定数が小さくなり、MOS トランジスタの動作を高速化することができる。

【0025】

図1～図3に示す半導体装置において、どの程度速度向上が見込まれるかを説明する。図1において、例えば、第2のゲート電極104の図の垂直方向の長さL1が $0.5\mu\text{m}$ である。第2のゲート電極104aの垂直方向の長さL2が $0.3\mu\text{m}$ である。ゲート電極103の垂直方向の長さL3が $2\mu\text{m}$ である。ボディコンタクト領域105の水平方向の長さL4が $2\mu\text{m}$ である。

【0026】

図2及び図3のゲート酸化膜201の膜厚をd、第1のゲート電極103及び第2のゲート電極104の合計面積をS、ボディコンタクト領域105のゲート酸化膜201で覆われた部分の面積をS1、ゲート酸化膜201の誘電率を ϵ とする。

【0027】

図4の構造をとった場合、ゲートーボディ間の容量C0は、次式(3)で表される。

【0028】

$$C0 = \epsilon \times (S - S1) / d + \epsilon \times S1 / d \quad \dots (3)$$

【0029】

一方、図3の本実施形態において、PN接合部106の接合容量をCjとすると、ゲートーボディ間の容量C0は、次式(4)で表される。

【0030】

$$C0 = \epsilon \times (S - S1) / d + 1 / (d / \epsilon \times S1 + Cj) \quad \dots (4)$$

【0031】

図1の構造において、面積S及びS1等の値を求めて、 $C0 \times V_{dd} / I_{ds}$ (V_{dd} :電源電圧、 I_{ds} :飽和電流)の比をとり、図4の構造に対する図3の構造での速度比較をする。すると、図3の構造において速度劣化が抑制され、その効果は容量Cjが小さいほど大きい。仮に容量Cjがゲート酸化膜の容量と等しい場合では、図4の構造よりおよそ25%遅延時間が短くなり、逆に容量Cjがゲート酸化膜の容量の10倍程度だとしても、5%程度の遅延時間の減少が

期待できる。

【 0 0 3 2 】

図 5 (A) ~ (F) は、図 1 ~ 図 3 に示す半導体装置の製造方法の例を示す。

まず、SOI 基板を用意する。SOI 基板は、図 2 に示すように、シリコンの基板領域 2 0 5、埋め込み絶縁膜 2 0 4 及びシリコン層 2 0 6 を有する。図 5 (A) では、シリコンの基板領域 5 0 1 及び埋め込み絶縁膜 5 0 2 上にシリコン層が存在する。

【 0 0 3 3 】

図 5 (A) に示すように、LOCOS (local oxidation of silicon) により、シリコン酸化膜 5 0 8 を形成する。次に、基板表面をエッチングし、再び酸化し、基板表面にゲート酸化膜 (シリコン酸化膜) 5 0 6 を形成する。次に、所定パターンのゲート電極 5 0 7 を形成する。次に、LDD (lightly doped drain) を形成するため、ゲート電極 5 0 7 をマスクにして N 型不純物をイオン注入し、N 型領域 5 0 4 及び 5 0 5 を形成する。ボディ領域 5 0 3 は、P 型領域である。

【 0 0 3 4 】

次に、図 5 (B) に示すように、基板上にシリコン酸化膜を形成し、所定パターンのエッチングを行い、シリコン酸化膜 5 1 3 及びゲート酸化膜 5 0 6 a を残す。次に、酸化膜 5 1 3 等をマスクにして、N 型不純物をイオン注入し、N 型のソース領域 5 1 1 及びドレイン領域 5 1 2 を形成する。

【 0 0 3 5 】

次に、図 5 (C) に示すように、基板上にチタン層 (金属層) 5 2 1 を形成する。その後、所定のアニールを行うことにより、ソース領域 5 1 1 及びチタン層 5 2 1 の界面、並びにドレイン領域 5 1 2 及びチタン層 5 2 1 の界面にシリサイド ($TiSi_2$) が生成される。ゲート電極 5 0 7 は、シリコン酸化膜 5 1 3 で覆われているため、その表面にはシリサイドが生成されない。なお、金属層 5 2 1 は、チタンに限らず、他の金属でもよい。

【 0 0 3 6 】

次に、王水でチタン層 5 2 1 をエッチングすると、図 5 (D) に示すように、

チタン層 5 2 1 が除去される。シリサイド 5 3 1 がソース領域 5 1 1 の表面に残り、シリサイド 5 3 2 がドレイン領域 5 1 2 の表面に残る。

【 0 0 3 7 】

次に、シリコン酸化膜 5 1 3 をエッチングすることにより、図 5 (E) に示すように、シリコン酸化膜 5 1 3 a がサイドウォールとして残る。

【 0 0 3 8 】

次に、基板上にシリコン酸化膜を形成し、所定パターンにエッチングし、図 5 (F) に示すように、シリコン酸化膜 5 5 1, 5 5 2, 5 5 3 を形成する。シリサイド 5 3 1 上の開口部には、ソース配線を形成することができる。シリサイド 5 3 2 上の開口部には、ドレイン配線を形成することができる。また、シリコン酸化膜 5 5 2 にコンタクトホール 5 5 4 を形成し、ゲート配線を形成することができる。なお、図 5 (E) の工程を省略してもよい。

【 0 0 3 9 】

以上のように、ゲート電極 5 0 7 をシリコン酸化膜 5 1 3 で覆ったまま、基板上にチタン層 5 2 1 を形成することにより、ソース領域 5 1 1 及びドレイン領域 5 1 2 上にのみシリサイドを形成させ、ゲート電極 5 0 7 上のシリサイド生成を防止することができる。なお、他の方法により、ゲート電極上にシリサイドが生成されることを防止してもよいし、ゲート電極上にシリサイドを形成してその生成されたシリサイドをゲート電極上から除去するようにしてもよい。

【 0 0 4 0 】

また、上述の製造工程では、ゲート電極上には一切シリサイドを形成していないが、図 1 のゲート電極 1 0 3, 1 0 4 の上にはシリサイドを形成し、ゲート電極 1 0 4 b 上はシリコン酸化膜で覆ったとしてシリサイドを形成しないようにしてもよい。例えば、図 5 (B) の工程において、シリコン酸化膜のエッチング時にゲート電極 1 0 3, 1 0 4 a 上のシリコン酸化膜も同時に除去するようにしてもよい。あるいは、図 5 (C) の工程の前に、ゲート電極 1 0 3, 1 0 4 a 上のシリコン酸化膜を除去する工程を別途設けてもよい。

【 0 0 4 1 】

また、ゲート電極上に一様にシリサイドを形成して、その形成したシリサイド

のうち、ゲート電極104b上のシリサイドのみゲート電極上から除去するようにしてもよい。

【0042】

上記のソース／ドレイン上にシリサイド層を形成するのは、ソース／ドレイン表面をより低抵抗化して、ソース／ドレイン配線に対する接続抵抗を小さくすることにより、トランジスタ動作を高速化できる利点がある。

【0043】

本実施形態によれば、図3に示すように、第2のゲート電極表面のPN接合部106を電氣的に絶縁することにより、ゲートーボディ間の容量C0を小さくすることができる。容量C0を小さくすることにより、CR時定数が小さくなり、MOSトランジスタの速度を高速化することができる。

【0044】

なお、MOSトランジスタは、NチャネルMOSトランジスタに限らず、PチャネルMOSトランジスタでもよい。

【0045】

上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0046】

本発明の実施形態をまとめると以下ようになる。

(付記1) 半導体により形成されるソース領域と、
前記ソース領域と同じ導電型の半導体により形成されるドレイン領域と、
前記ソース領域及び前記ドレイン領域の間に半導体で形成されるチャネル領域と、
前記チャネル領域上に設けられるゲート絶縁膜と、
前記ゲート絶縁膜上に設けられ、P型半導体領域及びN型半導体領域を含むPN接合部が形成されたゲート電極とを有し、
前記ゲート電極のPN接合部のP型半導体領域とN型半導体領域とが電氣的に

絶縁されている半導体装置。

（付記 2）前記ゲート電極の P N 接合部の上にシリサイドが形成されていない付記 1 記載の半導体装置。

（付記 3）前記ゲート電極の P N 接合部は絶縁体で覆われている付記 1 記載の半導体装置。

（付記 4）前記絶縁体で覆われた領域以外の前記ゲート電極の上にシリサイドが形成されている付記 3 記載の半導体装置。

（付記 5）前記ゲート電極は、前記チャネル領域の上方に設けられる第 1 のゲート部及び前記チャネル領域でない領域の上方に設けられる第 2 のゲート部を含み、該第 2 のゲート部は前記 P N 接合部を含む付記 1 記載の半導体装置。

（付記 6）さらに、前記チャネル領域の下に半導体により形成されるボディ領域と、

前記ボディ領域、前記ソース領域及び前記ドレイン領域の下に設けられる埋め込み絶縁膜と、

前記埋め込み絶縁膜の下に設けられる半導体基板領域とを有する付記 5 記載の半導体装置。

（付記 7）前記ソース領域及び前記ドレイン領域の表面にシリサイドが形成されている付記 1 記載の半導体装置。

（付記 8）さらに、前記ボディ領域内に形成され、前記ボディ領域よりも不純物濃度が高いボディコンタクト領域を有する付記 6 記載の半導体装置。

（付記 9）前記ボディコンタクト領域は、前記第 2 のゲート電極よりも外側の領域に形成されている付記 8 記載の半導体装置。

（付記 1 0）（a）シリコン領域を含む半導体基板を準備するステップと、

（b）前記半導体基板上にゲート絶縁膜を形成するステップと、

（c）前記ゲート絶縁膜上にゲート電極を形成するステップと、

（d）前記ゲート電極上に第 1 の絶縁膜を形成するステップと、

（e）前記第 1 の絶縁膜をマスクとしてイオン注入を行うことにより前記半導体基板上にソース領域及びドレイン領域を形成するステップと、

（f）前記ゲート電極上の前記第 1 の絶縁膜を残したまま前記半導体基板の表

面に金属層を形成することにより、前記ソース領域及び前記金属層の界面並びに前記ドレイン領域及び前記金属層の界面にシリサイドを形成し、前記ゲート電極の表面にシリサイドを形成させないステップと、

(g) 前記シリサイドを残して前記金属層を除去するステップとを有する半導体装置の製造方法。

(付記 11) さらに、(h) 前記ステップ (g) の後、前記ゲート電極の表面を露出するステップを有する付記 10 記載の半導体装置の製造方法。

(付記 12) 前記ステップ (a) は、絶縁体上にシリコン層が形成された SOI 基板を準備するステップであり、前記ステップ (e) は、前記シリコン層内にソース領域及びドレイン領域を形成する付記 10 記載の半導体装置の製造方法。

【 0 0 4 7 】

【発明の効果】

以上説明したように、ゲート電極の PN 接合部の P 型半導体領域と N 型半導体領域とを電氣的に絶縁することにより、ゲート電極とチャネル領域との間の容量が小さくなる。MOS トランジスタは、ソース領域、ドレイン領域及びゲート電極を含む。上記の容量を小さくすることにより、CR 時定数が小さくなり、MOS トランジスタの速度を高速化することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態による半導体装置の平面図である。

【図 2】

図 1 の半導体装置の I I - I I 線に沿った断面図である。

【図 3】

図 1 の半導体装置の I I I - I I I 線に沿った断面図である。

【図 4】

図 5 の製造方法により製造される半導体装置の断面図である。

【図 5】

図 5 (A) ~ (F) は本発明の実施形態による半導体装置の製造方法を示す図である。

【図 6】

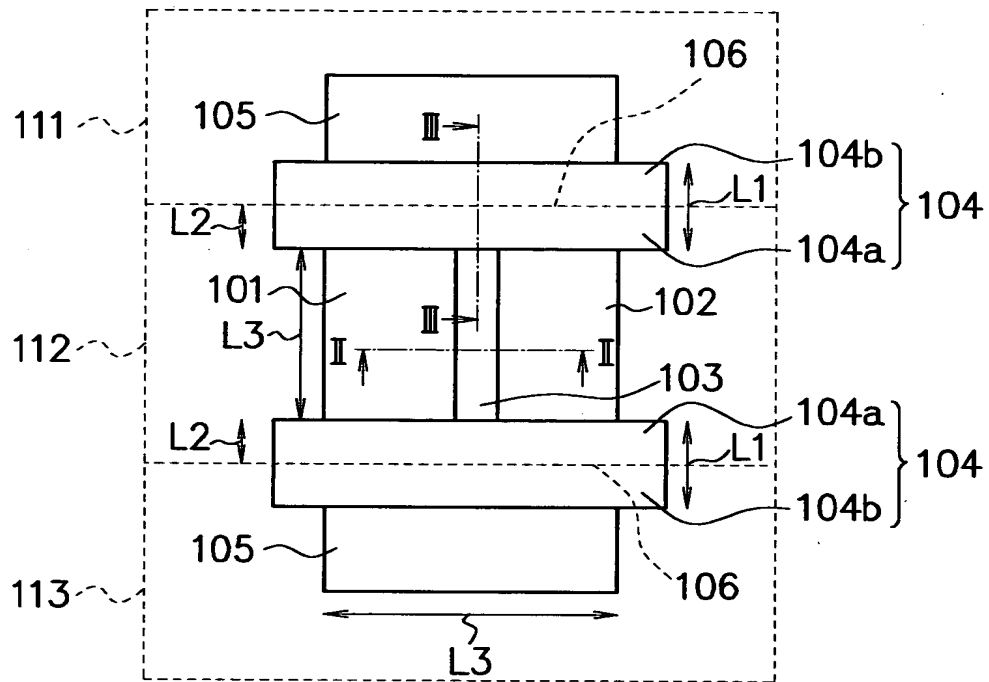
図 6 (A) ~ (C) は従来技術による半導体装置の製造方法を示す図である。

【符号の説明】

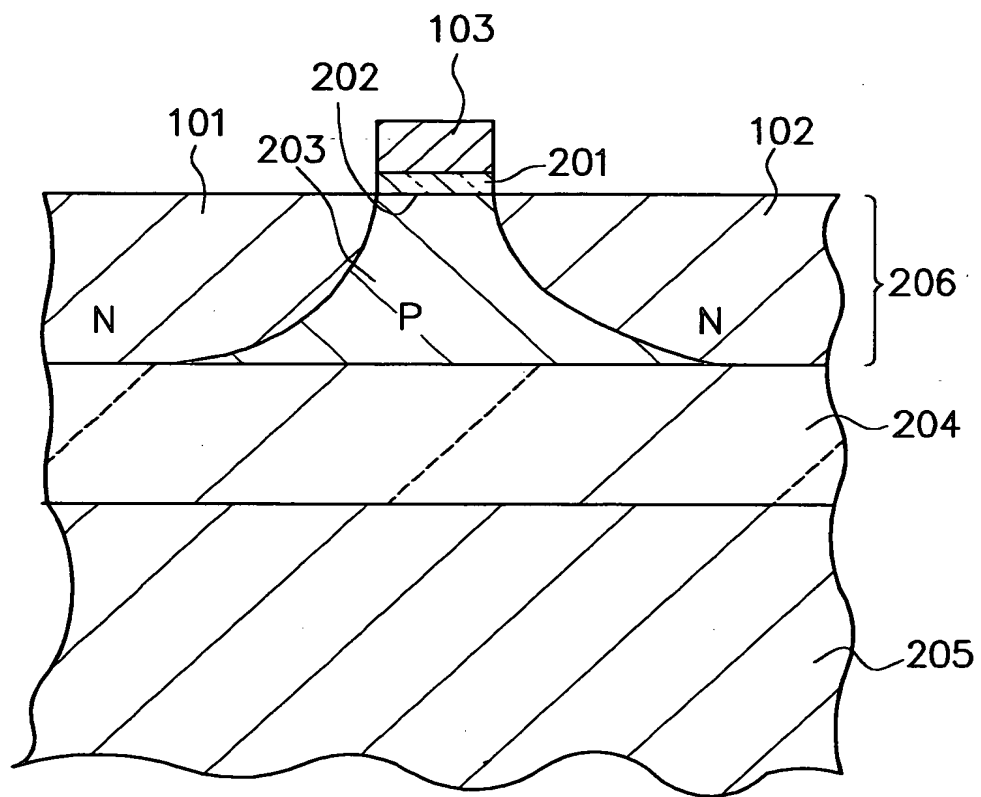
- 1 0 1 ソース領域
- 1 0 2 ドレイン領域
- 1 0 3 第 1 のゲート電極
- 1 0 4 第 2 のゲート電極
- 1 0 4 a N 型の第 2 のゲート電極
- 1 0 4 b P 型の第 2 のゲート電極
- 1 0 5 ボディコンタクト領域
- 1 1 1, 1 1 3 P 型領域
- 1 1 2 N 型領域
- 2 0 1 ゲート酸化膜
- 2 0 2 チャネル領域
- 2 0 3 ボディ領域
- 2 0 4 埋め込み絶縁膜
- 2 0 5 基板領域
- 2 0 6 シリコン層
- 3 0 1 絶縁膜
- 3 0 2 膜
- 3 1 1 ゲート端子
- 3 1 2 ボディ端子
- 4 0 1 シリサイド膜

【書類名】 図面

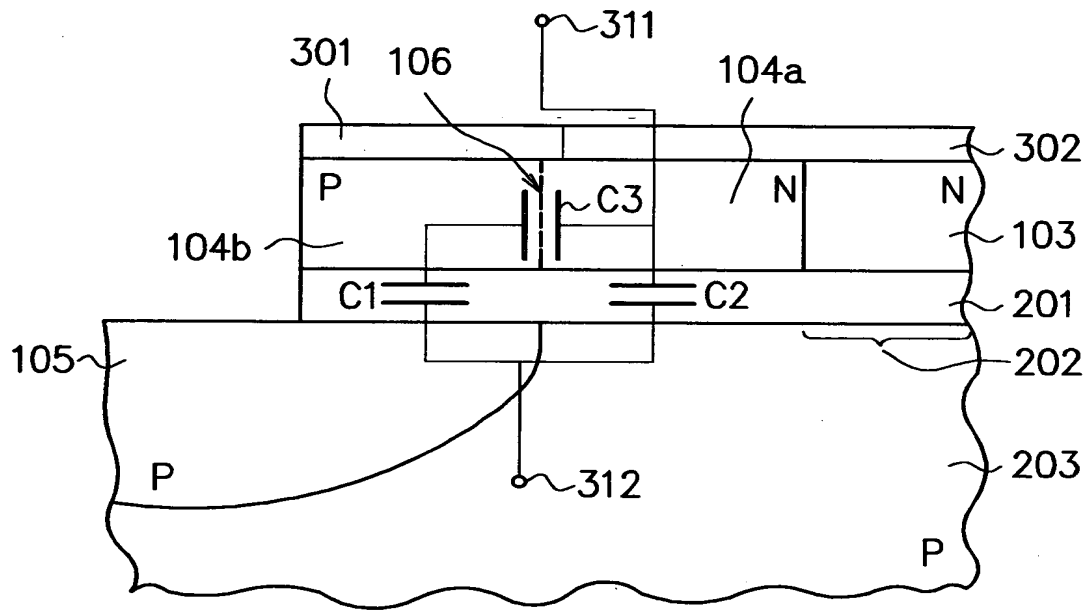
【図 1】



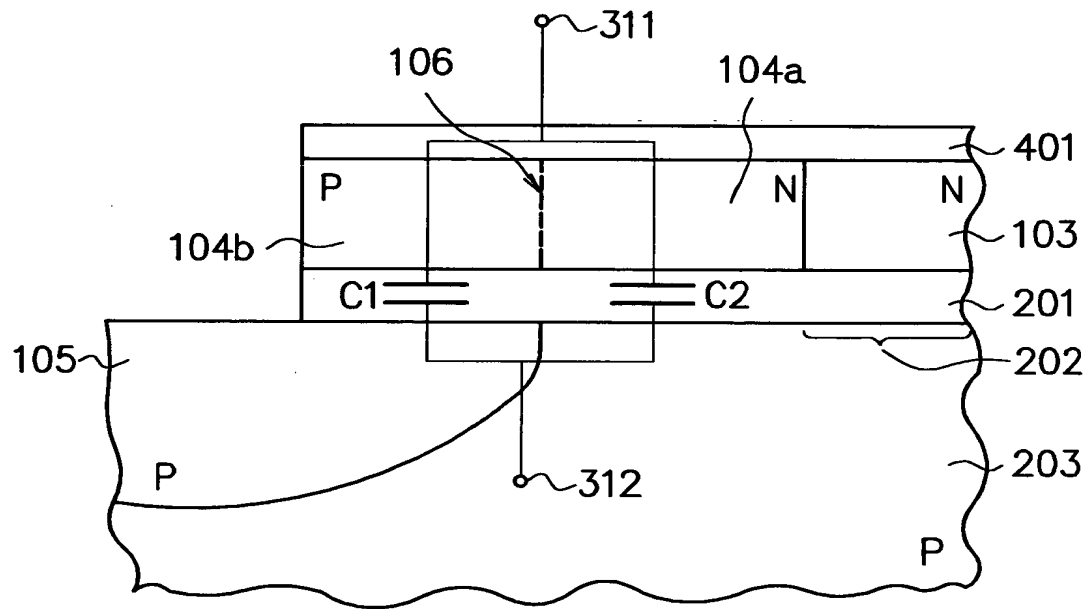
【図 2】



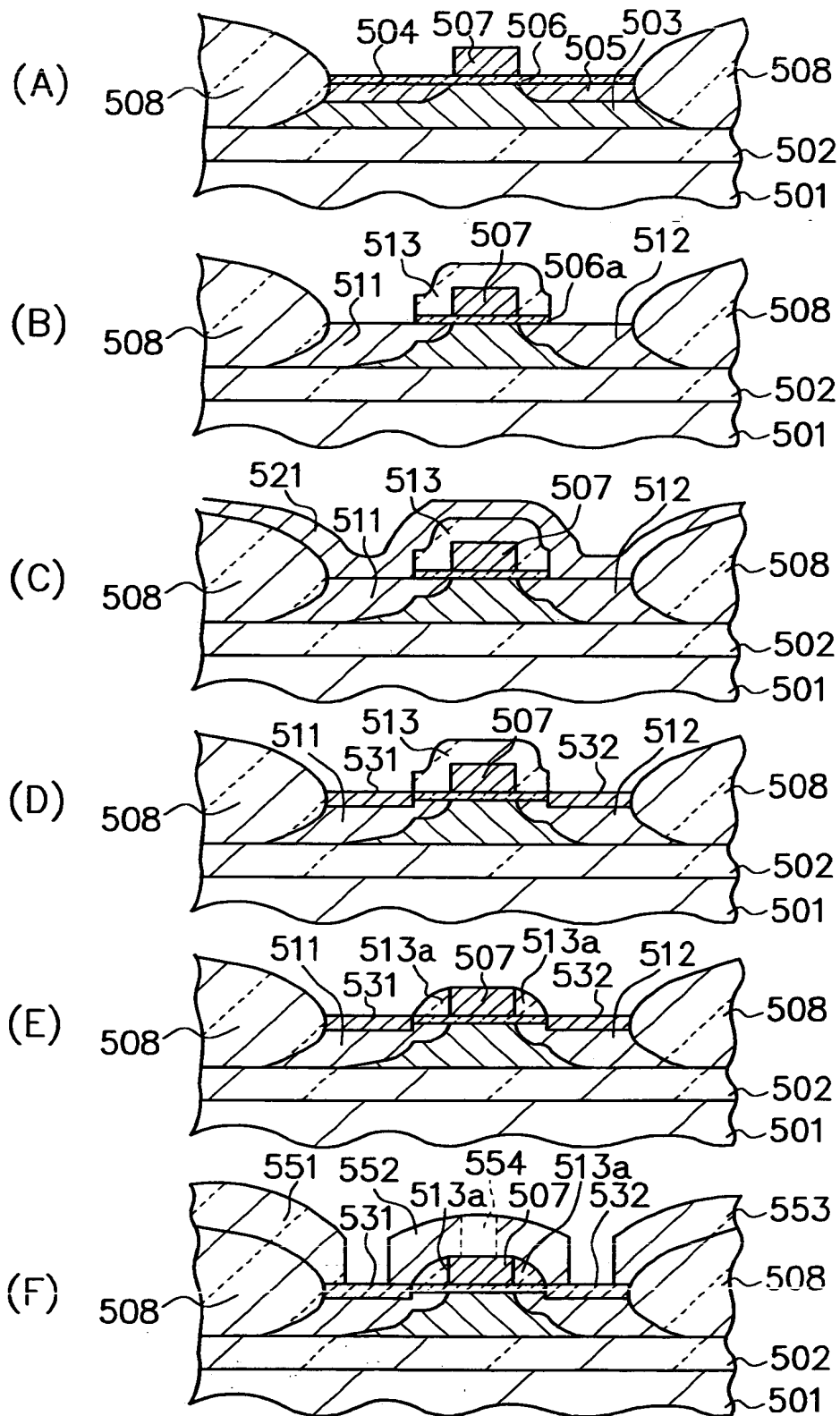
【図 3】



【図 4】

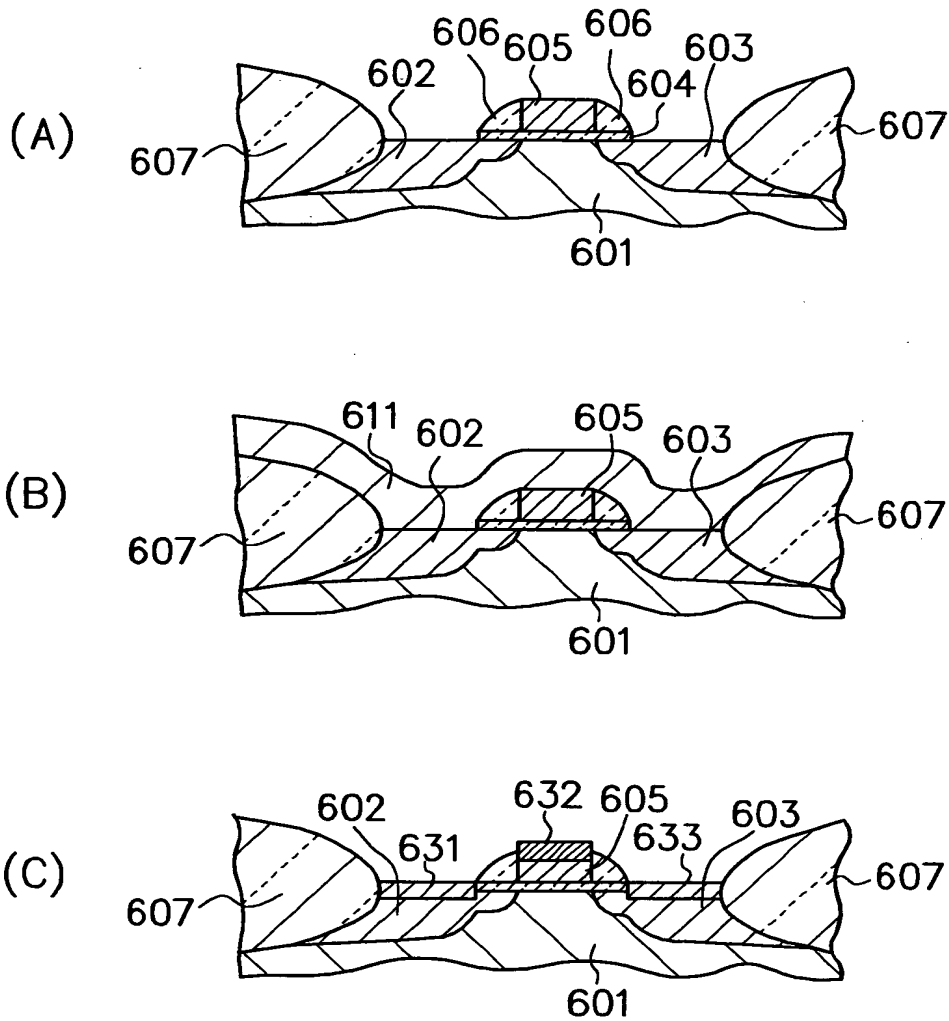


【図 5】



【図6】

従来技術



【書類名】 要約書

【要約】

【課題】 MOSトランジスタの動作を高速化することを課題とする。

【解決手段】 半導体により形成されるソース領域と、ソース領域と同じ導電型の半導体により形成されるドレイン領域と、ソース領域及びドレイン領域の間に半導体で形成されるチャネル領域（202）と、チャネル領域上に設けられるゲート絶縁膜（201）と、ゲート絶縁膜上に設けられ、P型半導体領域（104b）及びN型半導体領域（104a, 302）を含むPN接合部が形成されたゲート電極とを有する半導体装置が提供される。この際、ゲート電極のPN接合部（106）のP型半導体領域とN型半導体領域とが電氣的に絶縁されている。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社